

8086/8088: l'interfaccia verso il bus

M. Rebaudengo - M. Sonza Reorda

Politecnico di Torino
Dip. di Automatica e Informatica

1

M. Rebaudengo, M. Sonza Reorda

Ciclo di Bus

È la sequenza di eventi attraverso la quale la CPU comunica con la memoria, con un dispositivo di I/O, con l'Interrupt Controller.

Si compone di almeno 4 fasi, denominate T_1 , T_2 , T_3 , T_4 .

- T_1 : sull'address bus viene scritto l'indirizzo
- T_2 , T_3 , T_4 : sul data bus viene messo il dato.

Se la CPU non deve accedere all'esterno, i segnali di controllo del bus sono inattivi ed il bus si trova nello stato di *idle*.

2

M. Rebaudengo, M. Sonza Reorda

Ciclo di Lettura

- T_1 : sull'address bus viene scritto l'indirizzo
- T_2 : la CPU forza sul data bus il valore Z
- T_3, T_4 : la memoria scrive il dato sul data bus.

3

M. Rebaudengo, M. Sonza Reorda

Ciclo di Scrittura

- T_1 : sull'address bus viene scritto l'indirizzo
- T_2 : la CPU scrive il dato sul data bus
- T_3, T_4 : la memoria legge il dato dal data bus.

4

M. Rebaudengo, M. Sonza Reorda

Cicli di Idle

Vengono inseriti dalla CPU quando necessario, ossia quando:

- la CPU non necessita di nuovi dati e
- la coda interna delle istruzioni è piena, e non può essere eseguita alcuna fase di prefetch.

5

M. Rebaudengo, M. Sonza Reorda

Cicli di Wait

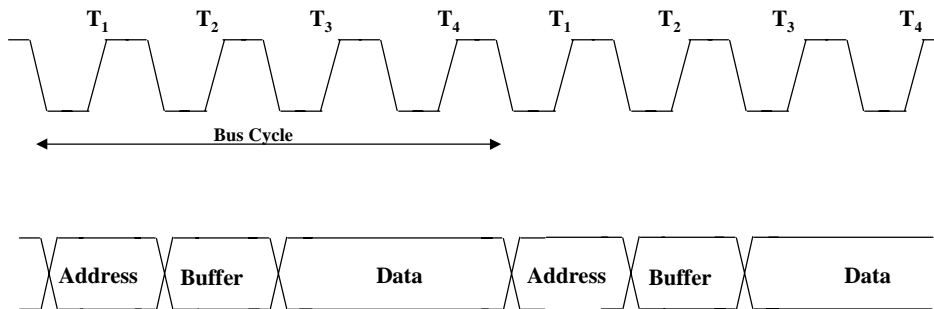
Se la memoria non è sufficientemente veloce, lo segnala alla CPU, e questa inserisce tra T_3 e T_4 una serie di stati di attesa (*wait states*) fino a che la memoria risponde.

Per comunicare all'8086 la necessità di uno o più cicli di wait, la memoria esterna invia un segnale sul pin READY.

6

M. Rebaudengo, M. Sonza Reorda

Ciclo di Bus



7

M. Rebaudengo, M. Sonza Reorda

Minimum-Mode e Maximum-Mode

L'8086/8088 può essere configurato per lavorare in 2 diverse modalità:

- *minimum-mode*: adatto per sistemi con un solo processore
- *maximum-mode*: adatto per sistemi con più processori, o con almeno un coprocessore.

Il modo di funzionamento viene selezionato staticamente attraverso il pin MN/MX*.

8

M. Rebaudengo, M. Sonza Reorda

Differenze

Alcuni pin svolgono funzioni diverse nei 2 modi.

Segnali Tipici del Minimum-Mode

HOLD	Hold Request	Input
HLDA	Hold Acknowledge	Output
WR*	Write Control	Output
IO/M*	IO/Memory Control	Output
DT/R*	Data Transmit/Receive*	Output
DEN*	Data Enable	Output
SS0*	Status Line	Output
ALE	Address Latch Enable	Output
INTA*	Interrupt Acknowledge	Output

9

M. Rebaudengo, M. Sonza Reorda

Differenze (II)

Segnali Tipici del Maximum-Mode

RQ*/GT1,0*	Request/Grant Bus Access Control I/O	
LOCK*	Bus Priority Lock Control	Output
S2*-S0*	Bus Cycle status	Output
QS1, QS0	Instruction Queue Status	Output

10

M. Rebaudengo, M. Sonza Reorda

Connessione Minimum-Mode

Comprende i seguenti segnali di controllo:

- ALE, IO/M*, RD*, WR*, DEN*, DT/R*, BHE* (SS0*)
- segnali di interrupt
- HOLD e HOLDA
- TEST*

11

M. Rebaudengo, M. Sonza Reorda

Segnali di Stato (I)

I 4 bit più significativi dell'address bus sono multiplexati con 4 segnali di stato S_3 - S_6 . I loro valori sono forzati dall'8086/8088 durante il trasferimento del dato, ossia nei cicli T_2 , T_3 e T_4 .

S_5 riporta il valore dell'Interrupt Enable Flag.

S_6 è fisso a 0.

12

M. Rebaudengo, M. Sonza Reorda

Segnali di Stato (II)

S_3 ed S_4 indicano quale registro di segmento è stato utilizzato per costruire l'indirizzo sull'Address Bus:

S_3	S_4	Registro di Segmento
0	0	ES
1	0	SS
0	1	CS oppure 0
1	1	DS

13

M. Rebaudengo, M. Sonza Reorda

Segnali di Controllo (I)

ALE: il fronte di salita segnala durante T_1 che sull'address bus è pronto un indirizzo.

IO/M*: indica se il ciclo di bus fa riferimento alla memoria o a un dispositivo di I/O; questo segnale è complementato nell'8088.

DT/R*: indica se si tratta di un ciclo di lettura o scrittura.

14

M. Rebaudengo, M. Sonza Reorda

Segnali di Controllo (II)

SS0* permette, in congiunzione con IO/M* e DT/R*, di determinare il tipo di ciclo di bus in corso:

IO/M*	DT/R*	SS0*	
1	0	0	Interrupt Acknowledge
1	0	1	Read I/O Port
1	1	0	Write I/O Port
1	1	1	Halt
0	0	0	Code Access
0	0	1	Read Memory
0	1	0	Write Memory
0	1	1	Passive

15

M. Rebaudengo, M. Sonza Reorda

Segnali di Controllo (III)

RD* e WR* segnalano la direzione del trasferimento e forniscono le relative informazioni temporali.

WR* segnala che il dato è pronto sul data bus e può essere prelevato dalla memoria.

DEN* (*Data Enable*) segnala al dispositivo esterno che può mettere sul data bus il dato durante le operazioni di lettura.

16

M. Rebaudengo, M. Sonza Reorda

HOLD e HLDA

Costituiscono l'interfaccia verso il controllore di DMA.

Quando un dispositivo desidera acquisire il controllo del bus, porta a 1 il segnale HOLD.

A questo punto l'8086/8088, terminato il corrente ciclo di bus, pone in alta impedenza i segnali AD_0-AD_7 , A_8-A_{15} , $A_{16}/S_3-A_{19}/S_6$, $SS0^*$, IO/M^* , DT/R^* , RD^* , WR^* , DEN^* e INTR e forza a 1 il segnale HLDA.

Quando il dispositivo rilascia il bus, riporta a 0 il segnale HOLD.

17

M. Rebaudengo, M. Sonza Reorda

Segnali di Interrupt

Sono:

- **INTR (input):** richiesta di interrupt da parte di un dispositivo esterno
- **INTA* (output):** accettazione della richiesta da parte della CPU, e temporizzazione del trasferimento del codice di interrupt
- **NMI (input):** richiesta di interrupt non mascherabile.

18

M. Rebaudengo, M. Sonza Reorda

TEST*

TEST* rappresenta un segnale di sincronizzazione con l'esterno.

All'esecuzione dell'istruzione WAIT, il processore testa il segnale TEST* e, se vale 1, inizia ad eseguire dei cicli di idle; quando TEST* torna a 0, il processore esegue l'istruzione successiva alla WAIT.

19

M. Rebaudengo, M. Sonza Reorda

BHE

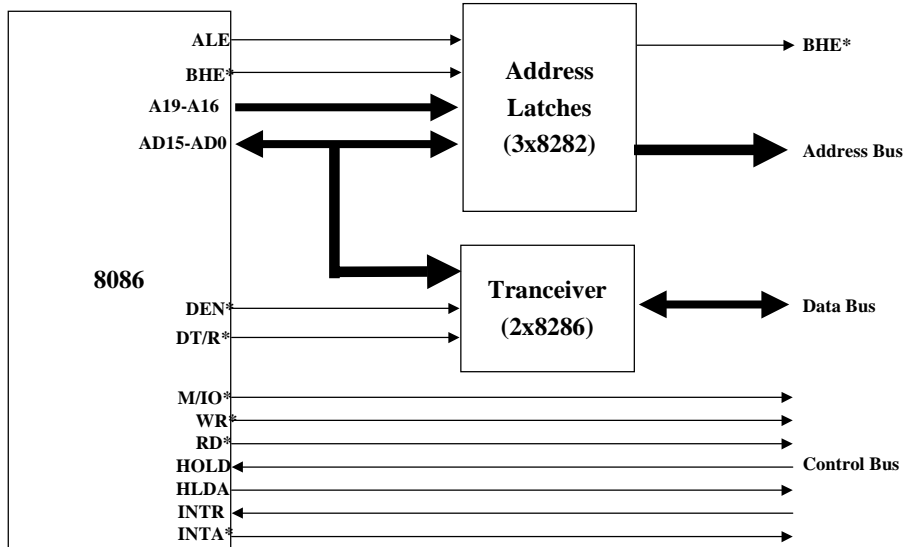
Nell'8086 il segnale SS0* è sostituito da BHE* (*Bank Enable High*) che durante T₁ determina, insieme con A₀, la dimensione e l'allineamento del tipo trasferito:

BHE*	A ₀	
0	0	Parola Intera
0	1	Byte superiore da/per indirizzo dispari
1	0	Byte inferiore da/per indirizzo pari
1	1	Nulla

20

M. Rebaudengo, M. Sonza Reorda

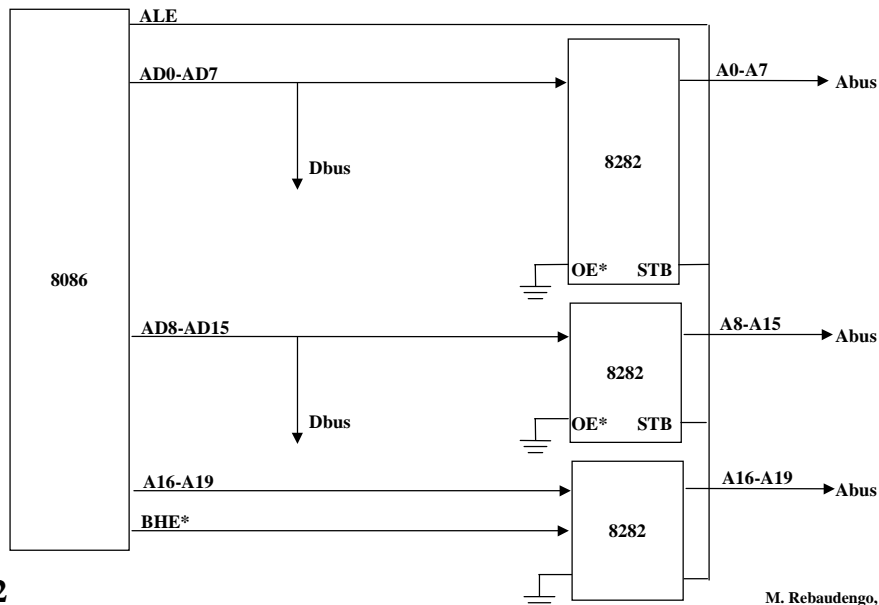
Connessione Minimum-Mode



21

M. Rebaudengo, M. Sonza Reorda

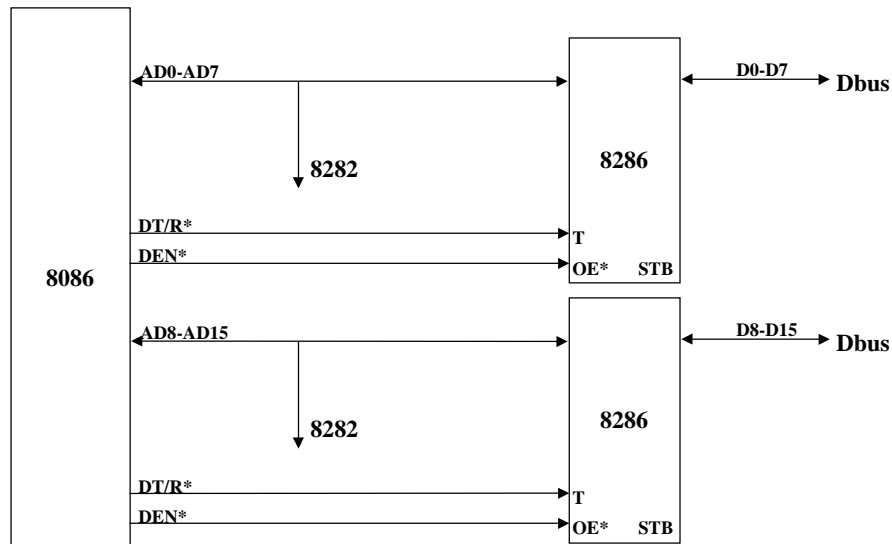
Demultiplexaggio Abus e Dbus



22

M. Rebaudengo, M. Sonza Reorda

Gestione Bus Bidirezionale



23

M. Rebaudengo, M. Sonza Reorda

Maximum-Mode

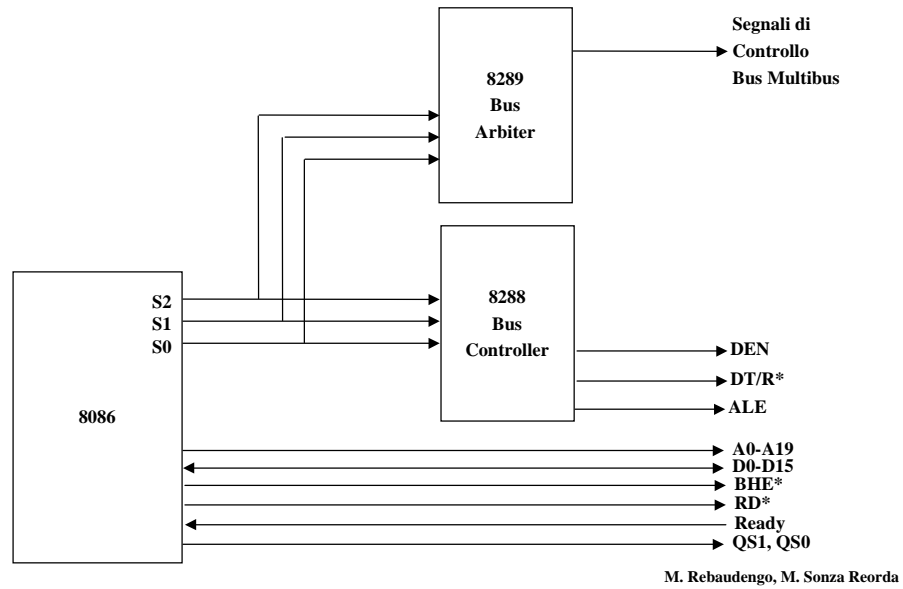
In questa configurazione, i segnali WR^* , IO/M^* , DT/R^* , DEN^* , ALE e $INTA^*$ non sono più prodotti dall'8086/8088, che si limita a emettere, all'inizio di un ciclo di bus, i 3 segnali S_0^* , S_1^* ed S_2^* , che identificano il tipo di ciclo di bus che seguirà.

Tali segnali sono inviati al Bus Controller (8288), che produce poi i segnali di controllo del bus, secondo lo standard *Multibus*.

24

M. Rebaudengo, M. Sonza Reorda

Connessione Maximum-Mode



Segnali di Stato della Coda

I segnali QS_0 e QS_1 segnalano all'esterno che tipo di dato è stato appena estratto dalla coda:

QS_0	QS_1	
0	0	Nulla
0	1	Primo Byte
1	0	Coda Vuota (istruz. di salto)
1	1	Byte successivo al primo

Request/Grant

Nei sistemi multiprocessore, sono utilizzati per eseguire il passaggio del controllo del bus da un processore ad un altro.