

# 8237

(Controllore Programmabile di DMA)

M. Rebaudengo - M. Sonza Reorda

Politecnico di Torino  
Dip. di Automatica e Informatica

1

M. Rebaudengo, M. Sonza Reorda

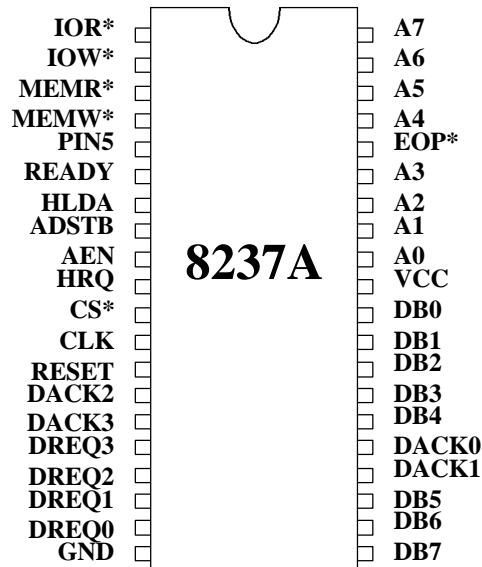
## Caratteristiche Generali

- Gestisce fino a 4 canali di DMA indipendenti
- Esegue trasferimenti dei seguenti tipi:
  - da memoria ad I/O
  - da I/O a memoria
  - da memoria a memoria
- Modalità di DMA programmabili
- Velocità massima di trasferimento: 1.6Mbyte/sec
- Chip LSI di tipo DIP a 40 pin
- Collegabile in cascata per gestire più di 4 canali
- Frequenza massima di clock: 5 MHz.

2

M. Rebaudengo, M. Sonza Reorda

## Piedinatura



3

M. Rebaudengo, M. Sonza Reorda

## Modi di Funzionamento

L'8237 ha due modi di funzionamento:

- programmazione da parte dell'8086/8088
- esecuzione di cicli di DMA.

L'8237 può essere programmato dall'8086 solo quando si trova nello stato di *Idle*: la programmazione viene attivata attraverso il segnale CS\*.

4

M. Rebaudengo, M. Sonza Reorda

## Programmazione dell'8237

L'8237 funziona come un qualunque dispositivo periferico, che risponde a determinati indirizzi, corrispondenti ai registri di dato, di stato e di controllo.

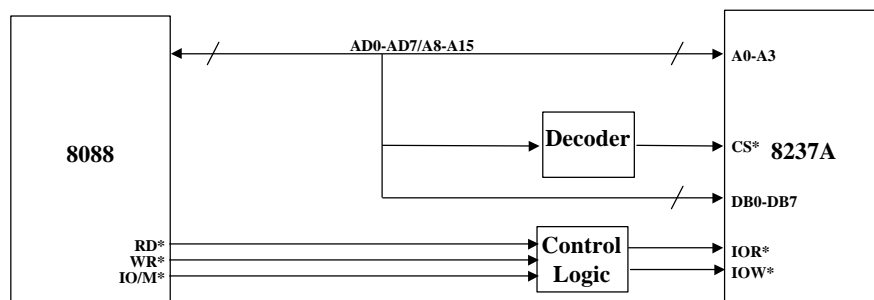
Ciascun registro viene selezionato attraverso i segnali A0-A3.

L'8237 può essere collegato esclusivamente in modo Isolated I/O, in quanto le operazioni di Input ed Output vengono selezionate attraverso i segnali IOR\* e IOW\*.

5

M. Rebaudengo, M. Sonza Reorda

## Connessioni



6

M. Rebaudengo, M. Sonza Reorda

## Interfaccia DMA

L'8237 gestisce 4 canali di DMA, relativi ad altrettanti dispositivi di I/O.

Il generico dispositivo di I/O può attivare un'operazione di DMA attraverso il seguente protocollo:

- il dispositivo attiva un segnale DREQ
- l'8237 invia una richiesta di bus all'8088 attraverso il segnale HRQ
- l'8088 risponde sganciandosi dal bus e attivando il segnale HLDA
- l'8237 segnala al dispositivo di I/O che l'operazione di DMA può essere iniziata attraverso il relativo segnale DACK.

7

M. Rebaudengo, M. Sonza Reorda

## Cicli di DMA

Una volta che il bus è stato rilasciato dalla CPU, il DMA Controller ne acquisisce il controllo.

I cicli di DMA sul bus sono di 3 tipi:

- memoria  $\Rightarrow$  dispositivo esterno
- dispositivo esterno  $\Rightarrow$  memoria
- memoria  $\Rightarrow$  memoria.

8

M. Rebaudengo, M. Sonza Reorda

## Ciclo dispositivo esterno $\Rightarrow$ memoria

Si articola nelle seguenti fasi:

- Il DMA Controller genera l'indirizzo su 16 bit; lo schema adottato prevede che:
  - gli 8 bit meno significativi siano scritti su  $A_0-A_7$
  - gli 8 bit più significativi siano scritti su  $DB_0-DB_7$
  - venga generato un segnale di strobe su ADSTB
  - i 4 bit più significativi siano generati esternamente.
- Il DMA Controller attiva
  - il segnale di AEN
  - il segnale di IOR verso il dispositivo
  - il segnale di MEMW verso la memoria
- Il dispositivo scrive il dato sul data bus, e la memoria lo legge.

9

M. Rebaudengo, M. Sonza Reorda

## Ciclo dispositivo esterno $\Leftarrow$ memoria

È identico al precedente, cambiando IOR con IOW e MEMW con MEMR.

## Tempistica

Ogni singolo trasferimento corrispondente ad un ciclo di DMA occupa 4 cicli.

Attraverso il segnale di READY possono essere inseriti eventuali cicli di wait aggiuntivi.

I cicli sono sincronizzati dal segnale di CLOCK fornito all'8237.

11

M. Rebaudengo, M. Sonza Reorda

## Cicli memoria $\Leftrightarrow$ memoria

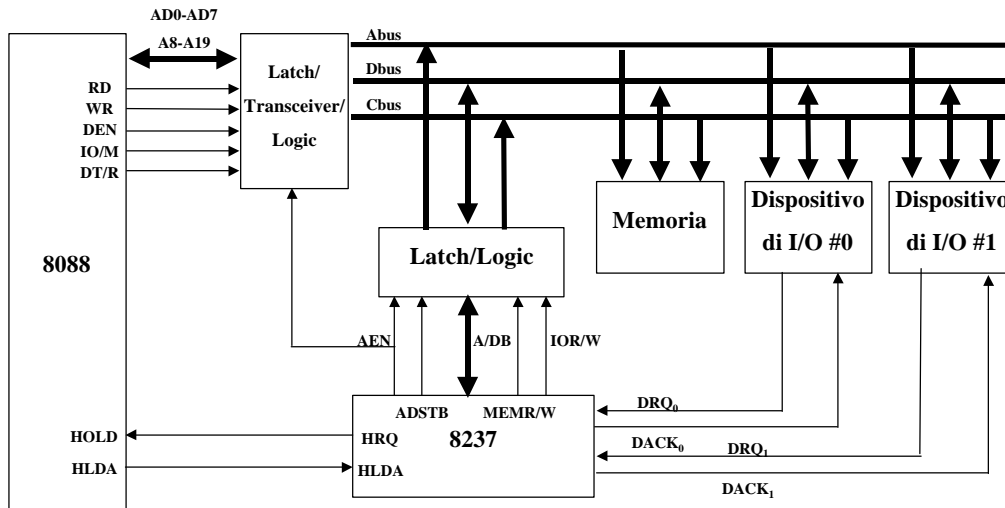
Sono analoghi a quelli dispositivo esterno  $\Leftarrow$  memoria, con le seguenti differenze:

- occupano 8 cicli di clock:
  - 4 per eseguire il trasferimento del dato dalla memoria ad un registro temporaneo interno all'8237
  - 4 per eseguire il trasferimento del dato dal registro temporaneo alla memoria
- l'8237 pilota esclusivamente i segnali di controllo MEMR e MEMW.

12

M. Rebaudengo, M. Sonza Reorda

## Connessioni



13

M. Rebaudengo, M. Sonza Reorda

## Registri Interni

Base Address Register	16bit	4
Base Word Count Register	16bit	4
Current Address Register	16bit	4
Current Word Count Register	16bit	4
Temporary Address Register	16bit	1
Temporary Word Count Register	16bit	1
Status Register	8bit	1
Command Register	8bit	1
Temporary Register	8bit	1
Mode Register	6bit	4
Mask Register	4bit	1
Request Register	4bit	1

14

M. Rebaudengo, M. Sonza Reorda

## Registri di Canale

Per ogni canale l'8237 prevede i seguenti registri:

- *base address register*: contiene l'indirizzo di partenza del blocco di memoria; viene caricato dall'esterno
- *current address register*: contiene l'indirizzo del prossimo dato da trasferire; viene aggiornato durante i trasferimenti e scritto quando si scrive il base address register
- *base count register*: contiene il numero di byte da trasferire; viene caricato dall'esterno
- *current count register*: contiene il numero di byte che restano da trasferire; viene aggiornato durante i trasferimenti e scritto quando si scrive il base count register.

15

M. Rebaudengo, M. Sonza Reorda

## Command Register

Viene scritto dall'esterno e permette di programmare:

- il tipo di priorità per gestire richieste contemporanee (fissa o rotante)
- il tipo di gestione per i segnali DREQ e DACK (attivi alti o bassi)
- la possibilità di ridurre a 2 cicli di clock la durata del singolo trasferimento (*compressed timing*)
- la possibilità di eseguire trasferimenti da memoria a memoria; in questo caso l'indirizzo sorgente è dato dal canale 0, quello destinazione dal canale 1
- la possibilità di tenere costante il valore dell'indirizzo sorgente durante i trasferimenti da memoria a memoria; in questo modo si riempie una zona di memoria con il valore di una cella.

16

M. Rebaudengo, M. Sonza Reorda

## Mode Register

Per ogni singolo canale permette di programmare :

- la direzione del trasferimento (da memoria a dispositivo o viceversa)
- la direzione di scansione del blocco di memoria (da indirizzi alti a bassi o viceversa)
- il modo *Autoinitialize*
- il modo di funzionamento dei trasferimenti.

17

M. Rebaudengo, M. Sonza Reorda

## Modo Autoinitialize

Prevede che, finito il trasferimento di un blocco, ne inizi immediatamente un altro con le stesse caratteristiche (indirizzo di partenza e dimensione del blocco).

In pratica vengono ricaricati nel Current Address Register e Current Word Count Register i valori del Base Address Register e Base Word Count Register, rispettivamente.

18

M. Rebaudengo, M. Sonza Reorda

## Modi di trasferimento

L'8237 supporta 4 modi di trasferimento:

- Single Transfer Mode
- Block Transfer Mode
- Demand Transfer Mode
- Cascade Mode.

## Single Transfer Mode

Dopo il trasferimento di ogni singolo byte il bus viene rilasciato, riacquisito dalla CPU, e subito richiesto di nuovo.

In tal modo la CPU può eseguire il proprio programma (seppur più lentamente) anche durante l'esecuzione del trasferimento in DMA.

## Block Transfer Mode

**Una volta ottenuto il controllo del bus, il DMA Controller esegue il trasferimento dell'intero blocco prima di cedere il controllo del bus.**

21

M. Rebaudengo, M. Sonza Reorda

## Demand Trasfer Mode

**Simile al precedente, ma se durante il trasferimento DREQ diviene inattivo, questo viene interrotto.**

22

M. Rebaudengo, M. Sonza Reorda

# Cascade Mode

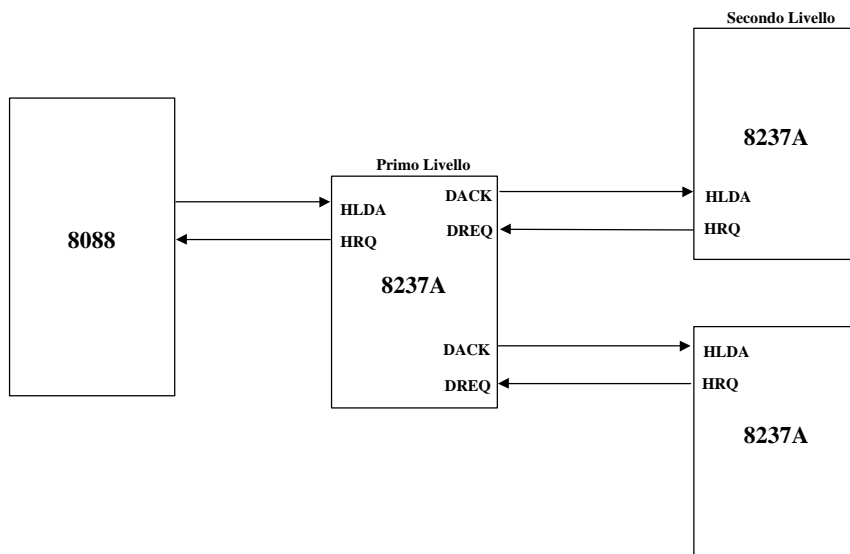
Viene utilizzato quando il canale non è connesso ad un dispositivo di I/O, ma ad un altro 8237.

In questo caso il canale non genera nessun indirizzo, né segnale di controllo.

23

M. Rebaudengo, M. Sonza Reorda

## Connessione in cascata



24

M. Rebaudengo, M. Sonza Reorda

## Request Register

**Permette di inoltrare via software delle richieste di DMA relative ad uno qualsiasi dei 4 canali.**

25

M. Rebaudengo, M. Sonza Reorda

## Mask Register

**Permette di mascherare (cioè ignorare) le richieste di DMA relative ad uno qualsiasi dei 4 canali.**

26

M. Rebaudengo, M. Sonza Reorda

## Status Register

È leggibile dalla CPU e per ogni canale permette di conoscere:

- se il canale ha raggiunto il termine del trasferimento
- se c'è stata una richiesta di DMA relativa a quel canale.

## End of Process

Il pin bidirezionale EOP ha 2 funzioni:

- segnala all'esterno quando è terminato il trasferimento in DMA di un blocco di dati
- permette dall'esterno di interrompere il trasferimento DMA corrente.