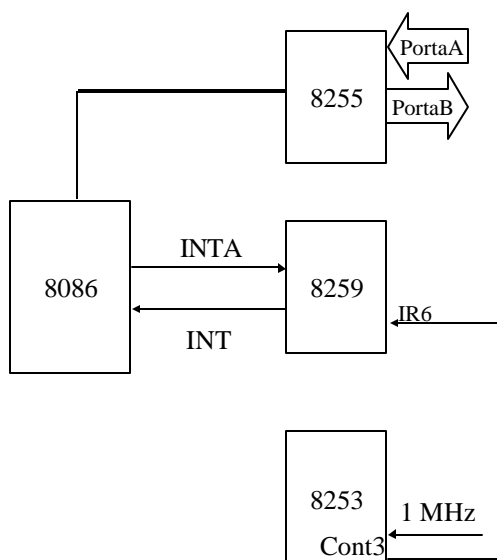


## Esame del 18 gennaio 2005

Tempo: 120 minuti; è possibile consultare libri o appunti.

Si consideri un sistema a processore avente l'architettura mostrata in figura. Il sistema acquisisce ogni 250 ms un byte dalla porta A dell'8255 (programmata in modo 0). I byte provenienti dall'8255 corrispondono a pacchetti di 255 interi con segno: ogni intero viene inviato spedendo prima il MSB e poi il LSB. Al termine di ogni pacchetto viene inviata una coppia di byte che contiene il codice di parità dei 255 interi nel pacchetto. Se il sistema non rileva errori, invia sulla porta B dell'8255 (anch'essa programmata in modo 0) i 4 byte corrispondenti alla somma degli interi nel pacchetto (partendo dal byte più significativo). Altrimenti invia 4 byte con il valore FFFFh.



Si assumo che i dispositivi rispondano ai seguenti indirizzi esadecimali:

<b>8255</b>	
Porta A	0040
Porta B	0041
Porta C	0042
Registro di controllo	0043
<b>8253</b>	
Contatore 1	0050
Contatore 2	0051
Contatore 3	0052
Registro di controllo	0053
<b>8259</b>	
ICW1, OCW2, OCW3	0060
ICW2, ICW3, ICW4, OCW1	0061

#### Nota

Si richiede la scrittura delle seguenti procedure:

- procedure di inizializzazione dei dispositivi
- procedura di inizializzazione dell'*interrupt vector table*
- procedura di servizio dell'interrupt.