

## Calcolatori Elettronici

Tema d'esame del 23 maggio 2006 (1h 30min)

|         |      |           |
|---------|------|-----------|
| Cognome | Nome | Matricola |
|---------|------|-----------|

Domande a risposta multipla (giusta +2 punti, sbagliata -1, non data 0)

Riportare soltanto la lettera della risposta ritenuta corretta nell'apposito campo a destra

|  |   |  |
|--|---|--|
| <b>Si consideri un flip-flop di tipo D: quale delle seguenti affermazioni è vera?</b>  | <ul style="list-style-type: none"><li>A. Ad ogni colpo di clock il valore memorizzato viene complementato</li><li>B. Ad ogni colpo di clock viene memorizzato il valore presente sull'ingresso D</li><li>C. Ad ogni colpo di clock il valore memorizzato viene complimentato se sull'ingresso D è presente il valore 1, lasciato inalterato altrimenti</li><li>D. Ad ogni colpo di clock viene testato il valore degli ingressi S ed R: se questi valgono entrambi 1 viene memorizzato il valore 1.</li></ul> |  |
| <b>Dove viene memorizzato di norma l'indirizzo a cui ritornare dopo l'esecuzione di una procedura?</b>   | <ul style="list-style-type: none"><li>A. In un apposito registro</li><li>B. In un'apposita cella di memoria</li><li>C. Nell'ultima istruzione della procedura</li><li>D. Nello stack</li></ul>  |  |
| <b>Si consideri un'unità di controllo in grado di pilotare 62 segnali e composta da 234 microistruzioni: quale sarà il parallelismo del <math>\mu R</math> se si usa la microprogrammazione orizzontale?</b> | <ul style="list-style-type: none"><li>A. 6 bit</li><li>B. 7 bit</li><li>C. 8 bit</li><li>D. 62 bit</li></ul>  |  |
| <b>Si consideri un bus al quale sono collegati un certo numero di moduli. Quale delle seguenti affermazioni è vera?</b>  | <ul style="list-style-type: none"><li>A. Ad ogni istante, uno solo dei moduli è connesso al bus, mentre gli altri si trovano in alta impedenza</li><li>B. Ad ogni istante, uno solo dei moduli può essere connesso in scrittura</li><li>C. Ad ogni istante, uno solo dei moduli può essere connesso in lettura</li><li>D. Ad ogni istante, uno solo dei moduli può essere connesso in scrittura, ed uno solo in lettura.</li></ul>  |  |
| <b>A che cosa corrisponde la cella elementare di una RAM statica</b>   | <ul style="list-style-type: none"><li>A. Ad un transistor</li><li>B. Ad un flip-flop</li><li>C. Ad un diodo</li><li>D. Ad un multiplexer</li></ul>  |  |

|  |  |  |
|--|--|--|
| <p><b>Si consideri una cache composta da 128 linee, ognuna comprendente 4 byte. La cache implementa il meccanismo di mapping noto come direct mapping. La memoria RAM è composta da 1 Mparole da 8 bit. Qual'è la dimensione di ciascun campo tag?</b></p> | <p>A. 20<br/>B. 13<br/>C. 11<br/>D. 7</p>  |  |
| <p><b>Nell'ambito di un sistema di memoria virtuale, dove si trova il TLB?</b></p>   | <p>A. Nella memoria principale<br/>B. Nella MMU<br/>C. Nella cache dati<br/>D. Su un chip apposito</p>   |  |
| <p><b>In un trasferimento in DMA, che cosa segnala al processore che il trasferimento dell'intero blocco è terminato?</b></p>  | <p>A. Il fatto che il bus sia libero<br/>B. La disattivazione del segnale DMAReq<br/>C. Un codice apposito che gli viene dato dal DMA controller sul data bus<br/>D. L'attivazione di una richiesta di interrupt</p> |  |

Domande a risposta aperta (5 punti ciascuna)

- 1. Si illustri la modalità di indirizzamento dei dispositivi periferici nota come memory mapped.**

2. **Si illustri l'architettura del meccanismo del pipelining, indicando inoltre i principali vantaggi e svantaggi.**

**Esercizio (8 punti)**

**Progettare e implementare la macchina a stati che controlla la salita e la discesa di un ascensore tra due livelli (pian terreno e primo piano).**

- **Ingressi:** richiesta di salita e richiesta di discesa, chiamata di ascensore al livello considerato.
- **Uscite:** attuatore movimento ascensore.

**L'ascensore si trova inizialmente al pian terreno.**



