

Calcolatori Elettronici

Tema d'esame del 29 maggio 2007 (1h 30min)

Cognome	Nome	Matricola
E-mail per Giustificazione Lavorativa		

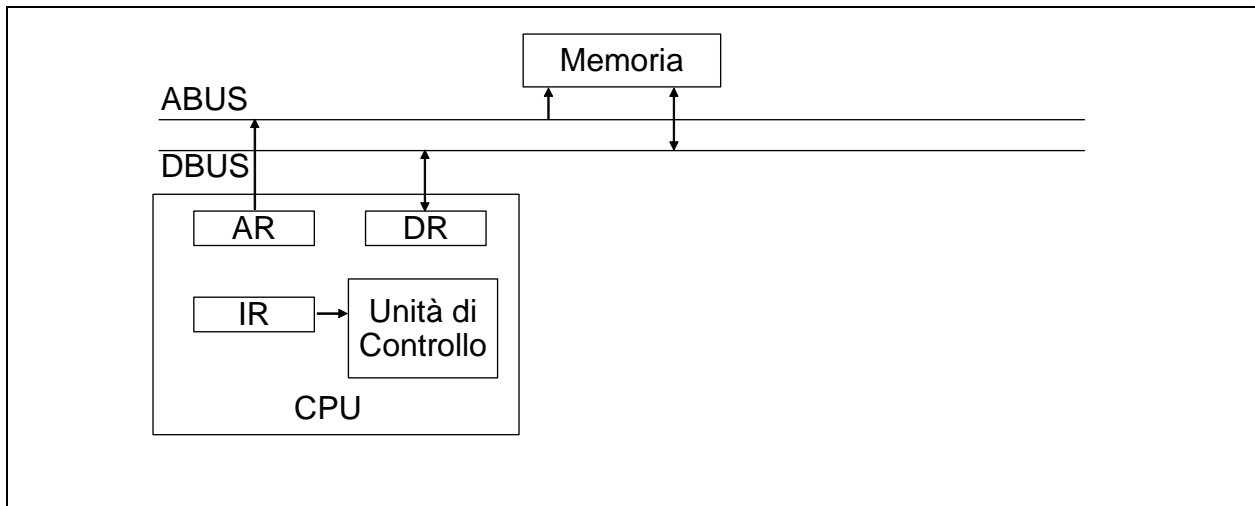
Domande a risposta multipla (giusta +2 punti, sbagliata -1, non data 0)

Riportare soltanto la lettera della risposta ritenuta corretta nell'apposito campo a destra

Si consideri un disco che adotti la strategia CLV (Constant Linear Velocità). Quale delle seguenti affermazioni è vera ?	<ul style="list-style-type: none"> A. La densità di memorizzazione (bit/inch) varia a seconda della distanza dal centro B. Il tempo di accesso viene minimizzato C. Il disco ruota a velocità angolare costante, indipendentemente dalla posizione sulla testina D. Il disco ruota con velocità angolare diversa a seconda della posizione della testina 	
Quale delle seguenti affermazioni non è corretta se riferita ad una procedura ?	<ul style="list-style-type: none"> A. E' un gruppo di istruzioni che eseguono un compito specifico B. E' eseguita un numero qualsiasi di volte C. Viene identificata alla fine di ogni instruction cycle D. E' svantaggioso il tempo di elaborazione richiesto per le operazioni di chiamata e ritorno 	
Si consideri un'unità di controllo in grado di pilotare 65 segnali e composta da 418 microistruzioni: quale sarà il parallelismo del μPC se si usa la microprogrammazione orizzontale ?	<ul style="list-style-type: none"> A. 6 B. 7 C. 8 D. 9 	
Chi definisce il contenuto della memoria di microcodice esistente all'interno di un processore microprogrammato ?	<ul style="list-style-type: none"> A. Il programmatore assembler B. Il sistema operativo C. Il progettista del processore D. Il compilatore 	
In una memoria cache che adotta il set associative mapping ogni blocco proveniente dalla memoria principale:	<ul style="list-style-type: none"> A. Viene caricato in una linea di cache tra quelle libere B. Viene caricato nella linea di cache associata a quel blocco C. Viene caricato in una delle linee di cache associate a quel blocco D. Viene caricato in una linea di cache a caso 	
Si consideri una CPU con architettura Pipeline, quale delle seguenti affermazioni è vera ?	<ul style="list-style-type: none"> A. Il tempo di esecuzione di una istruzione è invariato rispetto ad una CPU senza pipeline B. Ogni operazione della pipeline avviene in più di un colpo di clock C. Le unità funzionali della CPU comunicano tra di loro solo attraverso registri della pipeline D. L'aumento del throughput, comporta la riduzione del tempo di esecuzione di ogni singola istruzione, e quindi un aumento della velocità. 	
Si consideri un sistema che utilizza il meccanismo del memory mapped per accedere alle periferiche: come è possibile eseguire in tale caso le operazioni di I/O ?	<ul style="list-style-type: none"> A. Attraverso il DMA B. Attraverso le istruzioni IN e OUT C. Attraverso l'uso dell'arbitro distribuito tra le periferiche D. Attraverso una istruzione che faccia accesso alla memoria 	
In un meccanismo di arbitraggio centralizzato di un bus basato su polling, quanti segnali di BusRequest entrano nell'arbitro posto che sia 5 il numero di dispositivi connesso al bus ?	<ul style="list-style-type: none"> A. 1 B. $\log_2 5$ C. 6 D. $\log_2 5$ 	

Domande a risposta aperta (5 punti ciascuna)

1. Si rappresenti l'architettura interna del DMA controller in relazione allo schema di CPU riportato. Si descriva brevemente il significato dei registri interni alla CPU e al DMA controller.



2. Si illustri l'organizzazione dei registri nota come "Register Window" nell'ambito di esecuzione di una procedura.

Esercizio (8 punti):

Progettare e implementare il circuito in grado di riconoscere la sequenza di dati in ingresso "1100".

Riportare in modo dettagliato tutti passaggi relativi ai seguenti punti:

- macchina a stati
- funzione di transizione degli stati
- funzione delle uscite
- circuito con porte logiche e Flip-Flop.